

F3

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2002-182803
(P2002-182803A)

(43) 公開日 平成14年6月28日 (2002. 6. 28)

(51) Int.Cl. ⁷	識別記号	F I	テーマコード* (参考)
G 0 6 F 1/30		G 0 6 F 12/16	3 4 0 Q 5 B 0 1 1
12/16	3 4 0	1/00	3 4 1 L 5 B 0 1 8

審査請求 有 請求項の数32 O L (全 14 頁)

(21) 出願番号 特願2001-301550 (P2001-301550)

(22) 出願日 平成13年9月28日 (2001. 9. 28)

(31) 優先権主張番号 09/676943

(32) 優先日 平成12年10月2日 (2000. 10. 2)

(33) 優先権主張国 米国 (U S)

(71) 出願人 390009531
インターナショナル・ビジネス・マシーンズ・コーポレーション
INTERNATIONAL BUSIN
ESS MACHINES CORPO
RATION
アメリカ合衆国10504、ニューヨーク州
アーモンク (番地なし)

(74) 代理人 100086243
弁理士 坂口 博 (外2名)

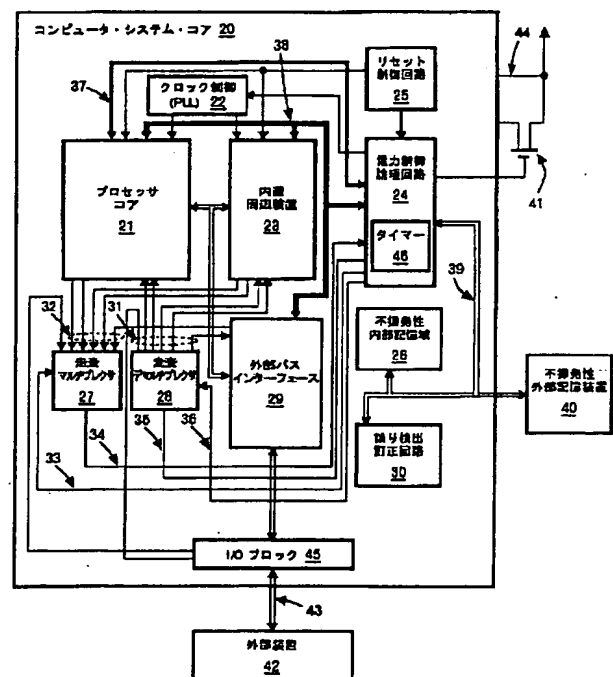
最終頁に続く

(54) 【発明の名称】 コンピュータ・システムの動作のサスペンドとレジュームを行う方法および装置

(57) 【要約】

【課題】 コンピュータ・システム構成要素の状態を保存する方法および装置が、バッテリー式コンピュータ・システム内の集積回路が完全に遮断された後のコンピュータ・システムの再開機能を提供する。

【解決手段】 状態は、コンピュータ・システム構成要素内の走査ラッチを使用して読み取る。走査レジスタに、内部走査連鎖を介して内部でアクセスするか、シリアル・テスト・ポート・インターフェースまたは境界走査インターフェースを使用して外部からアクセスすることができる。次に、状態は不揮発性記憶域に保存され、コンピュータ・システム構成要素から電源が遮断される。



【特許請求の範囲】

【請求項1】 コンピュータ・システムの動作をサスペンドし、レジュームする方法であって、サスペンド指示の受領にตอบสนองして、前記コンピュータ・システム内の構成要素集積回路の内部レジスタの状態を走査して走査レジスタから前記状態に対応するデータを読み取るステップと、不揮発性記憶域に前記状態を記憶するステップと、前記構成要素集積回路から電力を遮断するステップとを含む方法。

【請求項2】 レジューム指示にตอบสนองして前記構成要素集積回路に電力を復元するステップと、前記不揮発性記憶域から前記状態を読み取るステップと、前記状態に対応するデータを前記走査レジスタに書き込むことによって前記構成要素集積回路内の前記状態を復元するステップとをさらに含む、請求項1に記載の方法。

【請求項3】 前記状態を保存する前に、前記構成要素集積回路内のシステム・クロック信号を一時停止させるステップと、前記構成要素集積回路に電力を復元した後に、前記構成要素集積回路内のシステム・クロック信号を始動するステップとをさらに含む、請求項2に記載の方法。

【請求項4】 前記不揮発性記憶域が前記構成要素集積回路内にあり、前記状態を前記不揮発性記憶域に記憶する前記ステップが、前記構成要素集積回路内の前記状態に対応するデータを移動し、前記状態を復元する前記ステップが、前記構成要素集積回路内から前記状態を復元する、請求項2に記載の方法。

【請求項5】 前記不揮発性記憶域が待機電源に結合されたランダム・アクセスメモリを含み、前記構成要素集積回路から電力を遮断する前記ステップが、前記不揮発性記憶域から電力を遮断しない、請求項4に記載の方法。

【請求項6】 前記状態を走査した後に所定時間待つステップと、前記所定時間が経過するとそれにตอบสนองして、走査した前記状態を、前記構成要素集積回路の外部にある第2の不揮発性外部記憶域に転送するステップとをさらに含む、請求項5に記載の方法。

【請求項7】 前記不揮発性記憶域が電氣的消去可能読取り専用メモリであり、前記状態を記憶する前記ステップが、前記状態を前記電氣的消去可能読取り専用メモリに書き込む、請求項4に記載の方法。

【請求項8】 前記不揮発性記憶域が前記構成要素集積回路の外部にあり、前記記憶ステップおよび前記読取りステップが前記内部レジスタと前記外部記憶域との間のインタフェースを介して前記状態を転送する、請求項2に記載の方法。

【請求項9】 前記サスペンド指示の受領後に所定時間待

つステップをさらに含み、前記状態を記憶する前記ステップが前記所定時間の経過にตอบสนองして行われる、請求項2に記載の方法。

【請求項10】 前記状態を走査する前記ステップが、シリアル・テスト・ポート・インタフェースを介して前記状態を読み取る、請求項2に記載の方法。

【請求項11】 前記状態を走査する前記ステップが、境界走査レジスタを介して前記状態を読み取り、前記方法が、前記サスペンド指示の受領にตอบสนองして前記構成要素集積回路を走査モードにするステップをさらに含む、請求項2に記載の方法。

【請求項12】 前記コンピュータ・システムが共通バスに結合された活動ユニットと待機ユニットとを含み、前記構成要素集積回路が前記待機ユニット内にあり、前記状態を走査する前記ステップと、前記状態を記憶する前記ステップと、電力を遮断する前記ステップとが、システム初期設定時に行われ、電力を復元する前記ステップと、前記状態を読み取る前記ステップと、前記状態を復元する前記ステップとが、前記待機ユニットが活動状態になる指示にตอบสนองして行われる、請求項2に記載の方法。

【請求項13】 走査レジスタを介してアクセス可能な内部機能レジスタを有する構成要素集積回路と、前記構成要素集積回路に結合され、サスペンド指示にตอบสนองして前記構成要素集積回路の状態を記憶する不揮発性記憶装置であって、前記状態が前記走査レジスタを介して前記構成要素集積回路から読み取られる不揮発性記憶装置と、前記構成要素集積回路に結合され、前記構成要素集積回路が動作しているときに前記構成要素集積回路に電力供給し、前記状態が前記不揮発性記憶域に記憶された後に電力を遮断する制御可能電源とを含むコンピュータ・システム。

【請求項14】 前記構成要素集積回路内のシステム・クロック信号をゲートオフして前記状態の状況が凍結されるようにする、請求項13に記載のコンピュータ・システム。

【請求項15】 前記不揮発性記憶域が前記構成要素集積回路内にある、請求項13に記載のコンピュータ・システム。

【請求項16】 前記不揮発性記憶域が、待機電源に結合されたランダム・アクセスメモリを含み、前記待機電源が、前記制御可能電源が前記構成要素集積回路から電力を遮断した後に前記ランダム・アクセス・メモリに電力を供給し続ける、請求項15に記載のコンピュータ・システム。

【請求項17】 前記構成要素集積回路に結合され、前記状態を記憶する第2の不揮発性記憶域と、所定時間が経過した時点を判断するタイマとを含み、前記制御可能電源が前記構成要素集積回路から電力を遮断

する前に前記状態が前記第2の不揮発性記憶域に書き込まれる、請求項13に記載のコンピュータ・システム。

【請求項18】前記不揮発性記憶域が電氣的消去可能読取り専用メモリである、請求項13に記載のコンピュータ・システム。

【請求項19】前記不揮発性記憶域が前記構成要素集積回路の外部にあり、前記コンピュータ・システムが、前記内部レジスタと前記外部記憶域との間のインタフェースをさらに含み、前記状態が前記インタフェースを介して転送される、請求項13に記載のコンピュータ・システム。

【請求項20】前記インタフェースがシリアル・テスト・ポート・インタフェースである、請求項19に記載のコンピュータ・システム。

【請求項21】前記シリアル・テスト・ポート・インタフェースがジョイント・テスト・アクション・グループ(JTAG)仕様に準拠したテスト・ポートを含み、前記状態が特別なJTAGコマンドの発行によって転送される、請求項20に記載のコンピュータ・システム。

【請求項22】前記構成要素集積回路が境界走査レジスタを含み、前記状態が前記構成要素集積回路を走査モードにすることによって読み取られる、請求項13に記載のコンピュータ・システム。

【請求項23】処理構成要素と周辺構成要素を結合するバスと、

前記バスに結合された活動構成要素と、

前記バスに結合された前記構成要素集積回路を含む待機構成要素とをさらに含み、システム初期設定時に前記状態が前記不揮発性記憶域に保存され、前記待機構成要素が活動状態になる指示に応答して前記状態が取り出される、請求項13に記載のコンピュータ・システム。

【請求項24】前記構成要素集積回路の状態を読み取る電力制御論理回路をさらに含む、請求項13に記載のコンピュータ・システム。

【請求項25】前記電力制御論理回路が前記制御可能電源を制御して前記構成要素集積回路への電力を制御する、請求項24に記載のコンピュータ・システム。

【請求項26】前記電力制御論理プロセッサに結合され、前記電力制御論理回路にตอบสนองして、前記構成要素集積回路内のシステム・クロック信号をゲートオフするクロック制御回路をさらに含む、請求項24に記載のコンピュータ・システム。

【請求項27】前記電力制御論理回路が前記構成要素集積回路内にあり、前記電力制御論理回路が代替電源に結合され、それによって、前記制御可能電源が前記構成要素集積回路から電力を遮断したときに前記電力制御論理回路への電力が維持される、請求項24に記載のコンピュータ・システム。

【請求項28】走査レジスタを介してアクセス可能な内部レジスタと、

サスペンド指示にตอบสนองして前記内部レジスタの状態を記憶する内部不揮発性記憶域とを含む、コンピュータ・システムにおいて使用する構成要素集積回路。

【請求項29】前記内部不揮発性記憶域が電氣的消去可能読取り専用メモリを含む、請求項28に記載の構成要素集積回路。

【請求項30】前記不揮発性記憶域が、主電源から電力が遮断された後に前記ランダム・アクセス・メモリに電力を供給する待機電源入力に結合される、請求項28に記載の構成要素集積回路。

【請求項31】前記状態を前記不揮発性記憶域に転送する、前記構成要素集積回路内の電力制御論理回路をさらに含む、請求項28に記載の構成要素集積回路。

【請求項32】前記状態が保存された後に機能論理回路へのクロック信号をゲートオフするクロック制御論理回路をさらに含む、請求項28に記載の構成要素集積回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、一般にはコンピュータ・システムに関し、より詳細にはマイクロプロセッサおよび周辺装置の電源を切る前にコンピュータ・システムの状態を保存することによってコンピュータ・システムをサスペンド、レジュームする方法および装置に関する。

【0002】

【従来の技術】現在のコンピュータ・システムは、システム活動が不要な時にコンピュータ・システムが生じさせるエネルギーや熱を節約する電源管理機能を備えている。ノートブック・コンピュータ・システムや携帯情報端末(PDA)も、電源管理機能を使用してバッテリー電力を節約する。コンピュータ・システムは、完全な電源遮断状態にすることもでき、あるいはまた、たとえば、「サスペンド(一時休止)」または「レジューム(再開)」など様々な技術用語で呼ばれるモードであって、コンピュータ・システムの一部を活動状態にして完全なシステム動作を再開する刺激を待つ動作モードにすることもできる。動作を再開するために検出可能な刺激の例としては、マウスの動き、モデムのダイヤルイン、ローカル・エリア・ネットワーク(LAN)活動などがある。

【0003】ユーザがコンピュータ・システムを操作しているとき、「サスペンド」機能は迅速な操作にとって重要である。ユーザ入力がない短い時間の間だけコンピュータ・システムが省エネルギー状態になっているときに、完全な電源遮断状態からコンピュータ・システムをブートまたは再構成しなければならないのは望ましくない。しかし、サスペンド機能は一般に、コンピュータ・システムを制御するマイクロプロセッサの電源を遮断しない。現在のコンピュータ・システムで使用されている

ような大規模マイクロプロセッサやその他の集積回路には、何千万ものトランジスタが搭載されている。マイクロプロセッサその他の集積回路が完全に静止状態にあるときの漏れ電流が大き過ぎて、長時間のバッテリー寿命や安全なエネルギー管理方針の実現ができない場合もある。

【0004】システム設計では、プロセッサやその他のシステム構成要素を実現する装置を選択する際に、動作電力と漏れ電流との兼ね合いを図る。動作電力を低くする場合、論理回路には低供給電圧、したがって低閾値電圧が望ましい。しかし、低閾値論理回路は、装置が休止状態のときに高い漏れ電流を生じさせる。

【0005】高漏れ電流を防止するために、コンピュータ・システム内の電子回路から電力を遮断することができる。しかし、電力を遮断すると、マイクロプロセッサその他の集積回路の状態が失われることになる。状況によっては、ソフトを使用して電源遮断前の状態を取り出し、記憶することができることもある。しかし、LANコントローラや記憶装置コントローラなどの周辺装置コントローラの場合、集積回路の状態にオペレーティング・システム・ソフトウェアからアクセスできないことが多い。そのため、ハードウェアの状態や構成を保存することができず、ハードウェアを静止状態で電源が投入されたままにしておくか、またはオペレーティング・システムがシステムを遮断し、後で再始動する必要がある。

【0006】

【発明が解決しようとする課題】したがって、コンピュータ・システムの構成要素の状態を保存し、それによって動作を再開するためにコンピュータ・システムをリブートしなくてもコンピュータ・システムの構成要素から電源を遮断することができるようにすることによって、コンピュータ・システムの動作をサスペンドし、レジュームする方法および装置を提供することが望ましいであろう。

【0007】

【課題を解決するための手段】コンピュータ・システムの構成要素の状態を保存し、それによってコンピュータ・システムの構成要素から電源を遮断することができるようにすることによって、コンピュータ・システムをサスペンドし、レジュームするという目的は、コンピュータ・システム内の1つまたは複数の構成要素の内部レジスタの状態を保存してコンピュータ・システムの動作のサスペンドとレジュームを行う方法およびシステムで達成される。状態は、コンピュータ・システム構成要素内の走査ラッチを使用して読み取る。走査レジスタに、内部走査連鎖を介して内部でアクセスするか、シリアル・テスト・ポート・インタフェースまたは境界走査インタフェースを使用して外部からアクセスすることができる。次に、状態は不揮発性記憶域に保存され、コンピュータ・システム構成要素から電源が遮断される。レジューム信号を受け取ると、コンピュータ・システム構成要素に電力が復元され、保存された状態が不揮発性記憶域から読み取られ、その状態がコンピュータ・システム構成要素に書き戻される。状態は、走査連鎖を介して内部で、またはシリアル・テスト・ポート・インタフェースまたは境界走査インタフェースを使用して外部から書き戻される。その後、コンピュータ・システム構成要素が前に保存された状態で、コンピュータ・システムの実行が再開する。

【0008】

【発明の実施の形態】図面、特に図1を参照すると、本発明の好ましい実施形態を実現することができるコンピュータ・システム構成要素10のブロック図が図示されている。コンピュータ・システム構成要素10は、たとえばプロセッサ・コア、コンピュータ・システム特定用途向け集積回路(ASIC)、または周辺装置コントローラとすることができる。システム構成要素10は、コンピュータ・システムの動作に従って機能を実行する、機能論理ブロック11A、11B、および11Cを含む。レベルセンシティブ走査設計(LSSD)走査連鎖12を備え、機能論理ブロック11A、11B、および11C内の内部レジスタの状態の読みとりと書き込みを行う。LSSD走査連鎖12は、典型的には、テストおよび検証目的のためにもうけられる。システム構成要素10内のすべての状態保持要素にアクセスすることによって、コンピュータ・システムで使用する前に設計の検証と生産ライン・テストの両方を行うことができる。本発明の技法と共に使用可能な走査連鎖アーキテクチャについては、米国特許第5920575号に記載されているが、本発明の主旨および範囲から逸脱することなく、他の境界走査回路、テスト・ポート回路およびトポロジも使用することができる。

【0009】LSSD走査連鎖12に加えて、JTAG (Joint Test Action Group) インタフェース13がシステム構成要素10に組み込まれている。JTAGインタフェース13は、外部テストがシステム構成要素10内の内部レジスタにアクセスするための接続線15を備え、ほとんどすべての内部ラッチの状態を、一般にはシステム構成要素10をテストする目的で、読み書きすることができるようにする。JTAGインタフェース13の詳細については、IEEE (米国電気電子学会) 規格1149.1「IEEE Standard Test Access Port and Boundary Scan Architecture」および1149.1仕様1994年補足版で規定されている。使用するインタフェースはJTAGタイプのインタフェースには限定されないが、現在一般に入手可能なテスト装置との互換性を持たせるために、JTAG規格インタフェースと実質的に互換性のあるJTAGハードウェア層およびプロトコルを使用すれば好都合である。

【0010】本発明は、機能論理ブロック11A、11

B、および11Cからの状態情報を新規な方法で使用して、コンピュータ・システムがサスペンド動作になる前にシステム構成要素10の状態を記憶し、レジューム動作の前にその状態を回復する。LSSD走査連鎖12との間で読み書きされる状態情報には、様々な手段でアクセスすることができる。LSSD走査連鎖12には、システム構成要素10内から直接、またはJTAGインタフェース13を介した特別なコマンドによって、あるいはシステム構成要素10を走査モードにすることにより境界走査インタフェース14を介してアクセスすることができる。走査モードは、JTAGインタフェース13を介して入力されるコマンドを介して、または境界走査インタフェース14の一部を形成する外部ピン接続を介して、開始および終了させることができる。

【0011】LSSDアーキテクチャは、すべての内部ラッチの状態にアクセスすることができるため、本発明の技法を実施するのに有利である。さらに、LSSD構造は、LSSDテスト対応設計にすでに組み込まれており、そのため本発明は、新たな回路設計技法や、LSSD走査連鎖を組み込んで設計されている回路の変更を必要としない。「バブル走査」と呼ぶ他の手法では、各LSSDラッチにもう一つ低漏れ電流状態保存装置を追加する。この状態保存装置を使用して、低電力期間（サスペンド・モードなど）中にラッチの状態を保持する。本発明とは異なり、状態保存ラッチを含む構成要素への電力を維持しなければならない。さらに、「バブル走査」手法を実現するには、新たな回路設計とより多くの回路面積を必要とする。半導体製造業者は、再使用可能回路ライブラリに多大な投資をしており、システム全体の設計には現在標準LSSD構造が組み込まれている。本発明は、既存のアーキテクチャに単純な制御論理回路と制御ソフトウェアを加えることにより、これらの投資を利用することができる。

【0012】図2を参照すると、図1のLSSD走査連鎖12内の走査セルの構造が図示されている。レジスタ16は、機能論理ブロック11A、11B、および11Cから論理値をロードするシステム・データ入力線18と、機能論理ブロック11A、11B、および11C内に論理値を設定するシステム・データ出力線17とを備える。レジスタ16は、鎖状に直列接続され、各鎖の先端には論理値をロードする走査データ入力線があり、各鎖の終端には走査データ出力線がある。この連鎖の入力と出力には内部だけでなく、境界走査インタフェース14およびJTAGインタフェース15を介してアクセスすることができる。走査クロックによって、LSSD走査連鎖12内のデータのシフトが制御され、システム・クロックによって、通常のシステム動作のための高周波数クロックが供給される。

【0013】次に図3を参照すると、本発明の好ましい実施形態によるコンピュータ・システムが図示されてい

る。コンピュータ・システム・コア20は、コンピュータ・システムのための大規模ビルディング・ブロックである。バス43を介してインタフェースする外部装置42が、コンピュータ・システムの機能部分を完結している。外部装置には、メモリ、記憶装置、グラフィックス装置、人間による入力装置などがある。コンピュータ・システム・コア20の外部にある不揮発性記憶装置40を使用して、本発明のサスペンド／レジューム機能のための状態情報が記憶される。コンピュータ・システムには、NMOSトランジスタ41を含む制御可能電源も組み込まれ、コンピュータ・システム・コア20内の各ブロックへの主電力を制御する。コンピュータ・システム・コア20の各部内の状態情報を保持し、電源制御論理回路24と、完全に電源遮断することができないその他のコンピュータ・システム構成要素とに待機電力を供給するために、低電流待機電源接続線44を備える。

【0014】コンピュータ・システム・コア20内では、プロセッサ・コア21がプログラム命令の実行とデータ値の操作を行う。シリアル・ポート、直接メモリ・アクセス（DMA）コントローラなどの内蔵周辺装置23が、コンピュータ・システム機能を提供する。外部バス・インタフェース29は、I/Oブロック45を介して外部装置42へのバス43接続を行う。プロセッサ・コア21、I/Oブロック45、内蔵周辺装置23、および外部バス・インタフェース29はすべて、LSSD走査連鎖レジスタを含む。各連鎖からの走査データ出力線32はマルチプレクサ27に結合され、電力制御プロセッサ24に接続する個々の走査連鎖出力線34の選択を可能にしている。電力制御論理回路24は、マルチプレクサ制御信号線33を介して走査連鎖を選択し、制御バス・インタフェース38を介して走査連鎖を含むブロックからの状態情報の入手と転送を制御することによって、走査連鎖レジスタを読み取る。電力制御論理回路24が、走査連鎖の読取りによってコンピュータ・システム・コア20の状態を取り出した後、そのデータは不揮発性内部記憶域26に記憶される。不揮発性内部記憶域26には、待機電力44によって電力供給するか、または電氣的消去可能読取り専用メモリなど状態保持のために電力を必要としない技法で実現することができる。状態情報がまず不揮発性外部記憶装置40に送られてから、制御可能電源24がコンピュータ・システム・コア20への電力供給を不能にする場合、不揮発性内部記憶域26には、制御可能電源41を介して供給されるコンピュータ・システム・コア主電力によって電力供給することもできる。I/Oブロック45には、制御可能電源41が電力供給を不能にする前に適切な値をロードすることができる。これは、外部装置42のいずれかを電源遮断することができない場合に必要になる。コンピュータ・システム・コア20への外部接続の状態を制御して、外部装置42の高電流漏れ状態や、誤りバス・サイ

クルの発生、外部装置42の損傷を回避しなければならない。

【0015】電力制御論理回路24は、プロセッサまたはハードウェア論理ブロックとすることができ、制御バス・インタフェース38を介してプロセッサ・コア21からコマンドを取り出すことによって、コンピュータ・システム・コア20のサスペンド・シーケンスを開始する。あるいは、電力制御論理回路24とプロセッサ・コア21との間に結合された1本の制御線など、サスペンド要求を発生させる他の方式を実施することもできる。電力制御論理回路24は、クロック制御回路22を制御することによって、プロセッサ・コア21と内蔵周辺装置23へのクロックを一時休止させることができる。これによって、電力制御論理回路24とそれに付随する構成要素とを除くコンピュータ・システム・コアの動作が凍結する。様々なブロックから走査連鎖データが読み取られ、不揮発性内部記憶域26に記憶される。次に、電力制御論理回路24は、制御可能電源41を介してコンピュータ・システム・コア20から主電源を遮断する。

【0016】サスペンドまたは遮断イベントのシーケンス内で、不揮発性内部記憶域26または不揮発性外部記憶装置40を使用して、異なるレベルの省エネルギーを選択的に行うことができる。たとえば、サスペンド動作（これはきわめて長期間の場合があり、漏れ電流値によっては数ヶ月になることもある）の初期部分では、不揮発性内部記憶域26に状態を保持し、コンピュータ・システム・コア20に必要な程度の供給電流レベルを維持することが好ましい場合がある。電力制御回路24内のタイマ46によって決まる一定の期間が経過した後、コンピュータ・システム・コア20の状態を不揮発性外部記憶装置40に書き込み、コンピュータ・システム・コア20から電力を完全に遮断することによって、より高いレベルのエネルギー節減を開始する。タイマ46は、電力制御論理回路がマイクロプロセッサを含む場合はプログラム命令で実現することもでき、コンピュータ・システム・コア20内の電力制御論理回路24の外部にあるブロックとして、または、電力制御論理回路24に不揮発性外部記憶装置40へのデータ転送を開始させるその他の適合するアーキテクチャとして実現することもできる。コンピュータ・システム・コア20への複数の電源接続を持つプログラム可能電源41内の複数のトランジスタを使用して、異なるレベルのエネルギー節減を実現することができる。あるいは、クロック制御回路22が内部ブロックへのクロック供給を遮断することによってエネルギー節減を行うこともできる。誤り検出訂正ブロック30によって、状態情報の保存と取り出しの信頼性を向上させたり、コード化または圧縮機能を組み込んで、状態情報の記憶と取り出しに必要なエネルギーと時間を削減することができる。不揮発性記憶装置には障害発生前書き込みサイクル数が限られているものもあるた

め、誤り検出訂正が必要な構成もある。

【0017】不揮発性内部記憶域26と不揮発性外部記憶装置40の使用は、実施するシステムに合わせて調整される。たとえば、コンピュータ・システム・コア20を、ほとんどの時間サスペンド状態になっているシステムで使用する場合、不揮発性外部記憶装置40のみを使用してもよい。しかし、システムがきわめて頻繁に起動される場合、不揮発性内部記憶域26のみを使用する。両方のタイプの不揮発性記憶域を使用するシステムでは、不揮発性内部記憶域26から不揮発性外部記憶装置40へのデータ転送のタイミングは、不揮発性内部記憶域26と不揮発性外部記憶装置40との所要電力の関係に応じて決まる。

【0018】リセット制御回路25が電源制御論理回路24とインタフェースして、リセット信号またはレジューム信号あるいはその両方を供給する。レジューム信号が送られると、電力制御プロセッサは制御可能電源41を使用可能にすることによって主電力を回復し、不揮発性内部記憶域26または不揮発性外部記憶装置40から状態を取り出すことができる。この状態情報は走査連鎖入力線31を介して様々な機能ブロックに書き込まれる。電力制御論理回路24から走査データ出力35を受け取る特定の走査連鎖入力線を、走査デマルチプレクサ28によって選択する。走査デマルチプレクサ36が、この目的のために与えられる。制御バス・インタフェース38を使用して、プロセッサ・コア21、内蔵周辺装置23、および外部バス・インタフェース29への状態データのロードを制御する。状態データがロードされた後は、クロック制御回路22に信号を送って、プロセッサ・コア21と内蔵周辺装置23へのクロックの供給を再開させることができる。

【0019】コンピュータ・システム・コア20の内部ラッチの状態の読取りと書き込み機能によって、当該情報の記憶と取り出しが可能になる。本来はテストのために設けられているものであるが、高度なエネルギー管理の必要性により、LSSD走査ストリングとLSSD走査可能ラッチを状態取り出しと復元に使用することが望ましい。これによって、コンピュータ・システムを、周辺構成要素から電力を遮断できる状態にするのに要する時間が最小限になり、それに付随する、コンピュータ・システムの動作状態を復元するのに要する時間も短縮される（たとえば電源オフ後にシステムをリブートまたは再構成しない）、遮断前の機械の状態に完全に再構成される。従来は、プロセッサと周辺装置の電源を遮断した後にはコンピュータ・システムを完全に再起動する必要があった。これは、機械の状態にソフトウェアが完全にアクセスすることができないためである。本発明は、走査インタフェースを介して機械の状態を直接復元することができるようにする。オペレーティング・システムは、構成要素集積回路の状態を記憶するほかに、キャッシュや

変換索引バッファなどの走査不能なメモリ・アレイをフラッシュまたは保存するだけでよい。走査不能メモリのイメージが復元された後、構成要素集積回路に電力を回復することができ、記憶された状態を走査インタフェースを介して復元することができる。

【0020】本発明の完全状態記憶および回復の例として、たとえば、特定の記憶装置においてディスク・アクセスは開始することができたが、特定のセクタのシーグが完了していない場合がある。ディスク・コントローラはコマンドを保持してシーグの完了を待っているが、機械の状態を変更せずに（コマンドを取り消さずに）システムを遮断することはできない。また、記憶装置へのインタフェースは通常、記憶装置ドライバによって管理され、記憶装置ドライバは、順序正しく電源遮断／電源投入シーケンスを行うためのオペレーティング・システムへの電源遮断インタフェースを備えていない場合がある。

【0021】本発明の改善点は、ネットワーク・インタフェース動作にも適用される。ネットワーク・インタフェースは、プロトコル、IPアドレスなどに書き込まれた情報を持っていることがあり、この情報は、コンピュータ・システム内で稼働しているデバイス・ドライバまたはアプリケーションによって維持される。ネットワーク・インタフェースから電源を遮断し、その後電力を回復するためには、復元時にネットワーク・インタフェースの状態をすべて復元しなければならない。ネットワーク・デバイス・ドライバが状態の読取りと書込みを完全に行うことができず、そのため、ネットワーク・インタフェースを管理するデバイス・ドライバまたはアプリケーションを再始動する必要がある場合がある。

【0022】次に図4を参照すると、本発明の方法の好ましい実施形態によるオペレーティング・システムの動作を示すフローチャートが示されている。ユーザ・ボタンまたはソフトウェア・コマンドによって発生させることができるシステム・サスペンド要求を受け取ると（決定61）、スケジューラ（タスク・タイムスライス・マネージャまたは優先度マネージャ）は、スケジューリング・タスクと、タスクおよびプロセスへの実行割振りを中止し、割り込みが不能にされる（ステップ63）。この時点で、実行は単一スレッドであり、割り込むことはできない。次に、いずれかのキャッシュ・メモリおよび変換索引バッファ（TLB）が外部記憶装置にフラッシュされる。この記憶装置は、電力供給が維持されているメモリか、または磁気ハード・ディスク・ファイルとすることができる。キャッシュ・メモリがフラッシュされた後、電源制御論理回路24に対してシステムを遮断するよう信号が送られる（ステップ65）。その後、オペレーティング・システムは、クロックが停止し、遮断される構成要素から電力が遮断されるまで機能停止する（ステップ66）。電力制御論理回路24が、遮断され

る構成要素の状態を保存し、レジューム動作の前にそれを復元し、それによって電力が回復し、クロックが再供給されたときに機械の状態が復元されるようにする機能を果たす。次に、オペレーティング・システムはサスペンドする前の状態から動作を再開し、サスペンド要求は解除される（ステップ67）。

【0023】次に図5を参照すると、本発明の方法の好ましい実施形態による（図3の電力制御論理回路24などの）電力制御論理ブロックの動作を示すフローチャートが示されている。遮断要求を受け取っていないとき（決定70）、電力制御論理回路24は、遊休状態になっているか、または他のタスクを実行している（ステップ71）。遮断要求を受け取ると、電力制御論理回路24はシステム・クロックを停止させる（ステップ72）。次に、プロセッサを含むシステム装置から、集積回路内の走査ポートを介して状態が読み取られる（ステップ73）。すべての装置の状態が不揮発性記憶域に転送され（ステップ74）、走査クロックが停止し、コンピュータ・システム・コア20から電力が遮断される（ステップ75）。その後、電力制御論理回路24は、ユーザ・ボタン、タイマ、またはその他の信号機構から再開の指示を受け取るまで、遊休状態になる（ステップ76）。再開指示を受け取ると（決定77）、システム装置に電力が回復され、走査クロックが再開され（ステップ78）、不揮発性記憶域から前に保存した状態が読み取られ（ステップ79）、その状態が走査ポートを介してシステム装置に書き込まれる（ステップ80）。その後、システム・クロックが回復され（ステップ81）、一時停止されていた箇所から動作を続けることができるようになる。

【0024】次に図6を参照すると、本発明の他の実施形態によるコンピュータ・システムが図示されている。この実施形態では、コンピュータはテスト・インタフェースまたは境界走査インタフェースあるいはその両方を備えるが、本発明の状態記憶および回復を内部に組み込むように特別に調整されてはいない。テスト・インタフェースまたは境界走査インタフェースあるいはその両方を外部で使用して、構成要素との間で状態を読み書きすることができる機構を設ける。中央コンピュータ・ユニット100が、プログラム命令およびデータを記憶するメモリ110と、周辺装置111とに結合されている。周辺装置111には、ビデオ・コントローラ、ネットワーク・インタフェース、入力装置、プリンタ・インタフェース、記憶装置インタフェース、および中央コンピュータ・ユニット100への有用な接続を行うその他の装置が含まれる。周辺装置111の状態は、遮断／再始動制御プロセッサ113へのJTAG接続線114または境界走査接続線112を介して保存することもできる。JTAGおよび境界走査の実施は現在の大規模回路で広く普及しているため、多くの既成の周辺装置構成要素

を、変更を加えずに図6に示すようにインタフェースさせることができる。

【0025】中央コンピュータ・ユニット100は、プログラム命令を実行するプロセッサ101と、命令およびデータ値を保持するキャッシュ・メモリ102とを含む。本発明の集積回路で使用可能な高密度集積により、中央コンピュータ・ユニット100は、コンピュータ・システムの大部分を実現する周辺装置およびシステム・サポート構成要素も含む。コンピュータのメモリ・サブシステムを管理するメモリ・コントローラ105、直接メモリ・アクセス（DMA）コントローラ104、およびバス・ブリッジ103が、メモリと、中央コンピュータ・ユニット100の入出力転送を管理するシステム・サポートを行う。中央コンピュータ・ユニット100と接続装置との間で、UART106が直列通信を可能にし、ネットワーク・インタフェース107がネットワーク通信を可能にする。

【0026】コンピュータ・システムの動作に関連する機能ブロックに加えて、中央コンピュータ・ユニット100内にJTAG（Joint Test Action Group）インタフェース108が組み込まれている。JTAGインタフェース108は、外部テストが中央コンピュータ・ユニット100内の内部レジスタにアクセスすることができるようにするポートとなり、一般には、中央コンピュータ・ユニット集積回路をコンピュータ・システム内で使用または装着する前にテストする目的で、ほとんどすべての内部ラッチの状態の読取りまたは書込みを可能にする。使用するインタフェースは、JTAGタイプのインタフェースには限定されないが、現在一般に入手可能なテスト装置との互換性を持たせるために、JTAG規格インタフェースと実質的に互換性のあるJTAGハードウェア層およびプロトコルを使用すれば好都合である。

【0027】図6のコンピュータ・システムにおいて、JTAGインタフェース108はJTAG接続線114を介して、プロセッサまたはハードワイヤ論理ブロックとすることができる電力制御論理回路113に結合され、電力制御論理回路113が中央コンピュータ・ユニット100の状態の読取りまたは書込みを行うための機構の機能を果たす。本発明の第1の代替実施形態によれば、電力制御論理回路113が出すJTAGインタフェースに対して出す特別なコマンド・シーケンスによって、中央コンピュータ・ユニット100の状態が遮断の前に保存され、再開の前に復元され、それによって、コンピュータ・システムの動作を遮断ルーチン内で凍結させることができ、動作を再開するためにコンピュータ・システムをリブートしなくても済む。

【0028】図6のコンピュータ・システム内で、本発明の第2の代替実施形態も実施することができる。JTAG接続線114に加えて、境界走査接続線112を介して中央コンピュータ・ユニット100に電力制御論理

回路113を結合することができる。中央コンピュータ・ユニット100上の外部ピンを介して、またはJTAGインタフェース108を介して出された特別なコマンドによって、特別なテスト・モードが介しされると、中央コンピュータ・ユニット100を「走査」モードにすることができる。走査モードでは、中央コンピュータ・ユニット100上のピン接続のサブセットが境界走査テスト・ピンになる。境界走査接続線112を介した方が中央コンピュータ・ユニット100の状態をJTAGインタフェース108を介してデータを読み取るよりも速く読み取ることができるが、回路はより複雑になる。

【0029】コンピュータ・システムおよび携帯情報端末（PDA）のサスペンド／レジューム機構としての使用のほかに、本発明は、冗長構成要素または、LANスイッチやモデム・バンクなどの「必要に応じて」オンラインにすることができる構成要素が組み込まれたサーバおよびその他の重要なコンピュータ・システムに「ホット・スベア」機能を備えるために使用することもできる。システムの初期設定時に、「ホット・スベア」の構成要素の状態を所望の状態に初期設定し、次にその状態を不揮発性記憶域に読み取り、その構成要素から電力を遮断する。「ホット・スベア」が必要な場合、「ホット・スベア」内の構成要素に電力を復元し、状態を書き戻すことができる。その後、所望の状態に初期設定された「ホット・スベア」を、コンピュータ・システム内で使用することができる。

【0030】まとめとして、本発明の構成に関して以下の事項を開示する。

【0031】（1）コンピュータ・システムの動作をサスペンドし、レジュームする方法であって、サスペンド指示の受領に応答して、前記コンピュータ・システム内の構成要素集積回路の内部レジスタの状態を走査して走査レジスタから前記状態に対応するデータを読み取るステップと、不揮発性記憶域に前記状態を記憶するステップと、前記構成要素集積回路から電力を遮断するステップとを含む方法。

（2）レジューム指示に応答して前記構成要素集積回路に電力を復元するステップと、前記不揮発性記憶域から前記状態を読み取るステップと、前記状態に対応するデータを前記走査レジスタに書き込むことによって前記構成要素集積回路内の前記状態を復元するステップとをさらに含む、上記（1）に記載の方法。

（3）前記状態を保存する前に、前記構成要素集積回路内のシステム・クロック信号を一時停止させるステップと、前記構成要素集積回路に電力を復元した後に、前記構成要素集積回路内のシステム・クロック信号を始動するステップとをさらに含む、上記（2）に記載の方法。

（4）前記不揮発性記憶域が前記構成要素集積回路内にあり、前記状態を前記不揮発性記憶域に記憶する前記ステップが、前記構成要素集積回路内の前記状態に対応す

るデータを移動し、前記状態を復元する前記ステップが、前記構成要素集積回路内から前記状態を復元する、上記(2)に記載の方法。

(5) 前記不揮発性記憶域が待機電源に結合されたランダム・アクセスメモリを含み、前記構成要素集積回路から電力を遮断する前記ステップが、前記不揮発性記憶域から電力を遮断しない、上記(4)に記載の方法。

(6) 前記状態を走査した後に所定時間待つステップと、前記所定時間が経過するとそれに応答して、走査した前記状態を、前記構成要素集積回路の外部にある第2の不揮発性外部記憶域に転送するステップとをさらに含む、上記(5)に記載の方法。

(7) 前記不揮発性記憶域が電氣的消去可能読取り専用メモリであり、前記状態を記憶する前記ステップが、前記状態を前記電氣的消去可能読取り専用メモリに書き込む、上記(4)に記載の方法。

(8) 前記不揮発性記憶域が前記構成要素集積回路の外部にあり、前記記憶ステップおよび前記読取りステップが前記内部レジスタと前記外部記憶域との間のインタフェースを介して前記状態を転送する、上記(2)に記載の方法。

(9) 前記サスペンド指示の受領後に所定時間待つステップをさらに含み、前記状態を記憶する前記ステップが前記所定時間の経過に応答して行われる、上記(2)に記載の方法。

(10) 前記状態を走査する前記ステップが、シリアル・テスト・ポート・インタフェースを介して前記状態を読み取る、上記(2)に記載の方法。

(11) 前記状態を走査する前記ステップが、境界走査レジスタを介して前記状態を読み取り、前記方法が、前記サスペンド指示の受領に応答して前記構成要素集積回路を走査モードにするステップをさらに含む、上記(2)に記載の方法。

(12) 前記コンピュータ・システムが共通バスに結合された活動ユニットと待機ユニットとを含み、前記構成要素集積回路が前記待機ユニット内にあり、前記状態を走査する前記ステップと、前記状態を記憶する前記ステップと、電力を遮断する前記ステップとが、システム初期設定時に行われ、電力を復元する前記ステップと、前記状態を読み取る前記ステップと、前記状態を復元する前記ステップとが、前記待機ユニットが活動状態になる指示に応答して行われる、上記(2)に記載の方法。

(13) 走査レジスタを介してアクセス可能な内部機能レジスタを有する構成要素集積回路と、前記構成要素集積回路に結合され、サスペンド指示に応答して前記構成要素集積回路の状態を記憶する不揮発性記憶装置であって、前記状態が前記走査レジスタを介して前記構成要素集積回路から読み取られる不揮発性記憶装置と、前記構成要素集積回路に結合され、前記構成要素集積回路が動作しているときに前記構成要素集積回路に電力供給し、

前記状態が前記不揮発性記憶域に記憶された後に電力を遮断する制御可能電源とを含むコンピュータ・システム。

(14) 前記構成要素集積回路内のシステム・クロック信号をゲートオフして前記状態の状況が凍結されるようにする、上記(13)に記載のコンピュータ・システム。

(15) 前記不揮発性記憶域が前記構成要素集積回路内にある、上記(13)に記載のコンピュータ・システム。

(16) 前記不揮発性記憶域が、待機電源に結合されたランダム・アクセスメモリを含み、前記待機電源が、前記制御可能電源が前記構成要素集積回路から電力を遮断した後に前記ランダム・アクセス・メモリに電力を供給し続ける、上記(15)に記載のコンピュータ・システム。

(17) 前記構成要素集積回路に結合され、前記状態を記憶する第2の不揮発性記憶域と、所定時間が経過した時点を判断するタイマとを含み、前記制御可能電源が前記構成要素集積回路から電力を遮断する前に前記状態が前記第2の不揮発性記憶域に書き込まれる、上記(13)に記載のコンピュータ・システム。

(18) 前記不揮発性記憶域が電氣的消去可能読取り専用メモリである、上記(13)に記載のコンピュータ・システム。

(19) 前記不揮発性記憶域が前記構成要素集積回路の外部にあり、前記コンピュータ・システムが、前記内部レジスタと前記外部記憶域との間のインタフェースをさらに含み、前記状態が前記インタフェースを介して転送される、上記(13)に記載のコンピュータ・システム。

(20) 前記インタフェースがシリアル・テスト・ポート・インタフェースである、上記(19)に記載のコンピュータ・システム。

(21) 前記シリアル・テスト・ポート・インタフェースがジョイント・テスト・アクション・グループ(JTAG)仕様に準拠したテスト・ポートを含み、前記状態が特別なJTAGコマンドの発行によって転送される、上記(20)に記載のコンピュータ・システム。

(22) 前記構成要素集積回路が境界走査レジスタを含み、前記状態が前記構成要素集積回路を走査モードにすることによって読み取られる、上記(13)に記載のコンピュータ・システム。

(23) 処理構成要素と周辺構成要素を結合するバスと、前記バスに結合された活動構成要素と、前記バスに結合された前記構成要素集積回路を含む待機構成要素とをさらに含み、システム初期設定時に前記状態が前記不揮発性記憶域に保存され、前記待機構成要素が活動状態になる指示に応答して前記状態が取り出される、上記(13)に記載のコンピュータ・システム。

(2 4) 前記構成要素集積回路の状態を読み取る電力制御論理回路をさらに含む、上記 (1 3) に記載のコンピュータ・システム。

(2 5) 前記電力制御論理回路が前記制御可能電源を制御して前記構成要素集積回路への電力を制御する、上記 (2 4) に記載のコンピュータ・システム。

(2 6) 前記電力制御論理プロセッサに結合され、前記電力制御論理回路に応答して、前記構成要素集積回路内のシステム・クロック信号をゲートオフするクロック制御回路をさらに含む、上記 (2 4) に記載のコンピュータ・システム。

(2 7) 前記電力制御論理回路が前記構成要素集積回路内にあり、前記電力制御論理回路が代替電源に結合され、それによって、前記制御可能電源が前記構成要素集積回路から電力を遮断したときに前記電力制御論理回路への電力が維持される、上記 (2 4) に記載のコンピュータ・システム。

(2 8) 走査レジスタを介してアクセス可能な内部レジスタと、サスペンド指示にตอบสนองして前記内部レジスタの状態を記憶する内部不揮発性記憶域とを含む、コンピュータ・システムにおいて使用する構成要素集積回路。

(2 9) 前記内部不揮発性記憶域が電氣的消去可能読取り専用メモリを含む、上記 (2 8) に記載の構成要素集積回路。

(3 0) 前記不揮発性記憶域が、主電源から電力が遮断された後に前記ランダム・アクセス・メモリに電力を供給する待機電源入力に結合される、上記 (2 8) に記載の構成要素集積回路。

(3 1) 前記状態を前記不揮発性記憶域に転送する、前記構成要素集積回路内の電力制御論理回路をさらに含む、上記 (2 8) に記載の構成要素集積回路。

(3 2) 前記状態が保存された後に機能論理回路へのクロック信号をゲートオフするクロック制御論理回路をさらに含む、上記 (2 8) に記載の構成要素集積回路。

【図面の簡単な説明】

【図 1】本発明の好ましい実施形態を実施することができるコンピュータ・システム構成要素を示すブロック図である。

【図 2】図 1 のコンピュータ・システム構成要素内の走査レジスタを示す概略図である。

【図 3】本発明の好ましい実施形態によるコンピュータ

・システムを示すブロック図である。

【図 4】本発明の好ましい実施形態によるオペレーティング・システムの動作を示すフローチャートである。

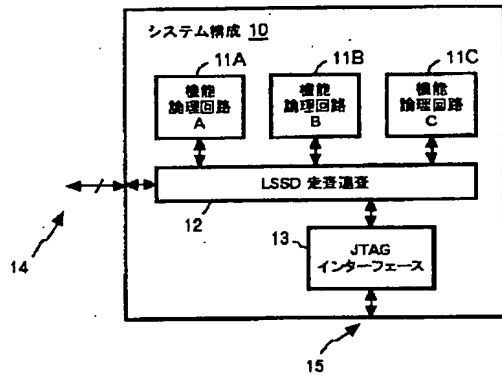
【図 5】本発明の好ましい実施形態による電源制御論理回路の動作を示すフローチャートである。

【図 6】本発明の代替実施形態によるコンピュータ・システムを示すブロック図である。

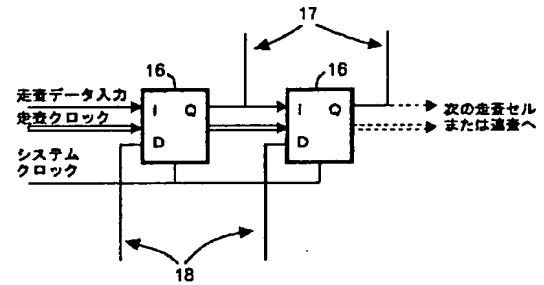
【符号の説明】

- 1 1 機能論理ブロック
- 1 2 レベルセンシティブ走査設計
- 1 3 JTAGインタフェース
- 1 4 境界走査インタフェース
- 1 6 レジスタ
- 1 7 システム・データ出力線
- 1 8 システム・データ入力線
- 2 0 コンピュータ・システム・コア
- 2 1 プロセッサ・コア
- 2 2 クロック制御回路
- 2 3 内蔵周辺装置
- 2 4 電力制御論理回路
- 2 5 リセット制御回路
- 2 6 不揮発性内部記憶域
- 2 7 走査マルチプレクサ
- 2 8 走査デマルチプレクサ
- 2 9 外部バス・インタフェース
- 3 0 誤り検出訂正回路
- 4 0 不揮発性外部記憶装置
- 4 5 I/Oブロック
- 1 0 0 中央コンピュータ・ユニット
- 1 0 2 キャッシュ・メモリ
- 1 0 3 バス・ブリッジ
- 1 0 4 DMAコントローラ
- 1 0 5 メモリ・コントローラ
- 1 0 7 ネットワーク・インタフェース
- 1 0 8 JTAGインタフェース
- 1 1 0 メモリ
- 1 1 1 記憶装置などの周辺装置
- 1 1 3 電力制御論理回路
- 1 1 5 不揮発性メモリ
- 1 1 6 誤り検出訂正回路

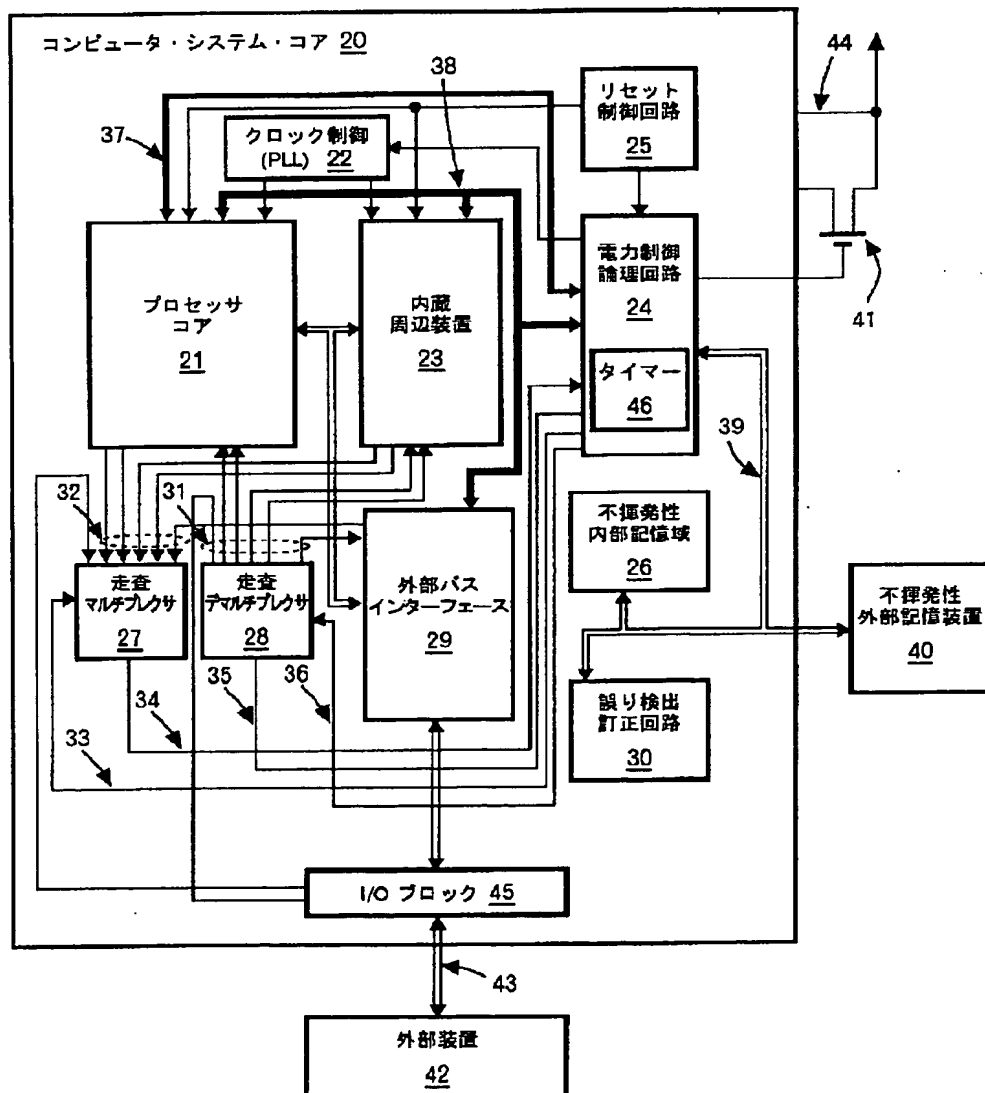
【図 1】



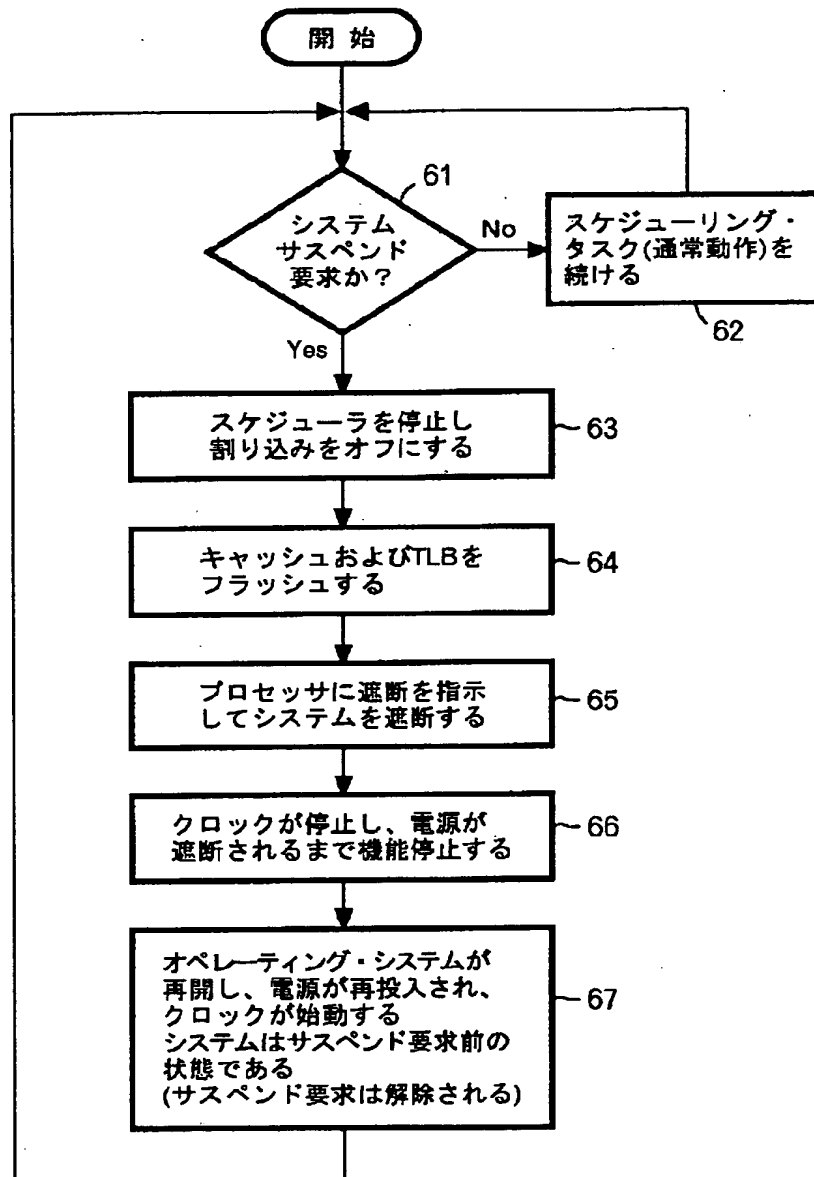
【図 2】



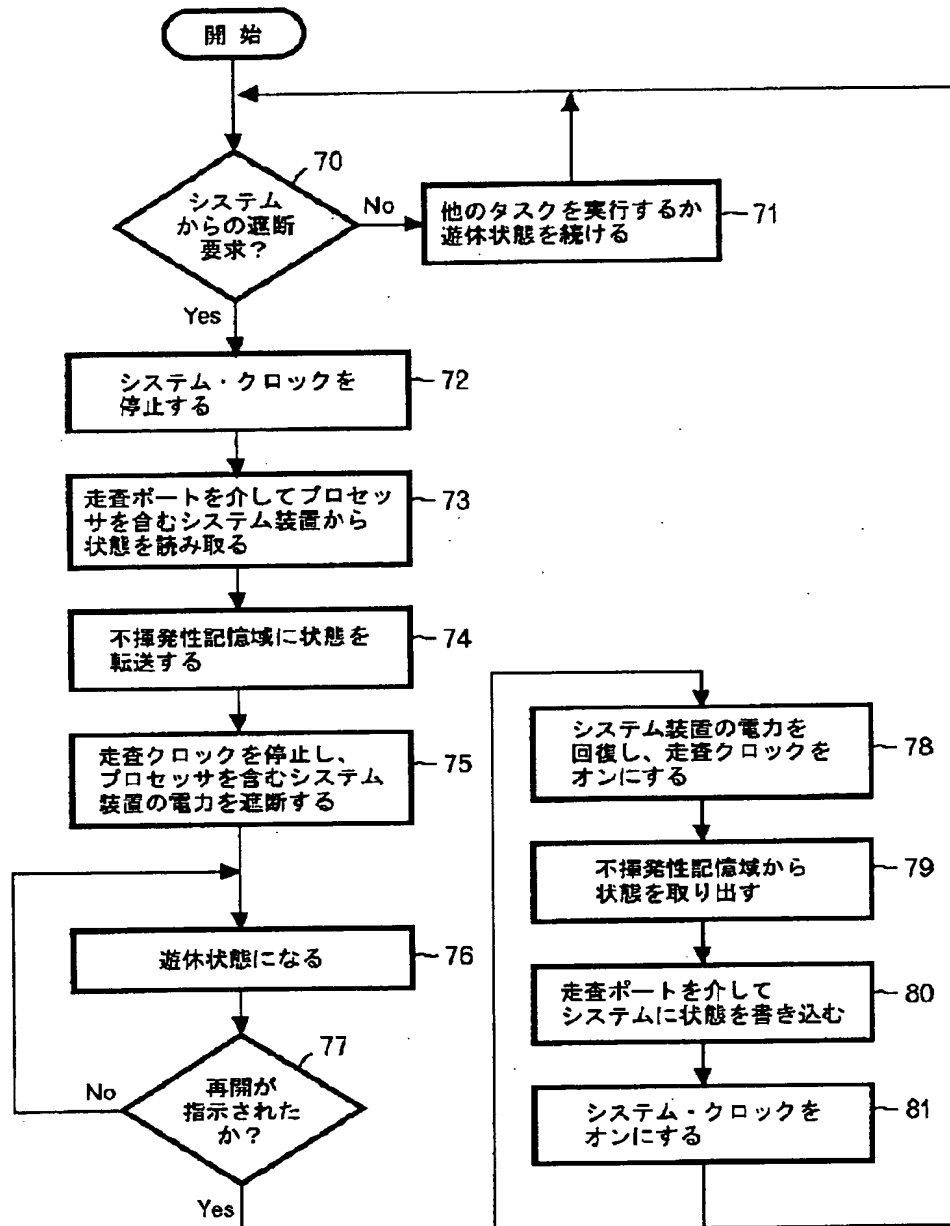
【図 3】



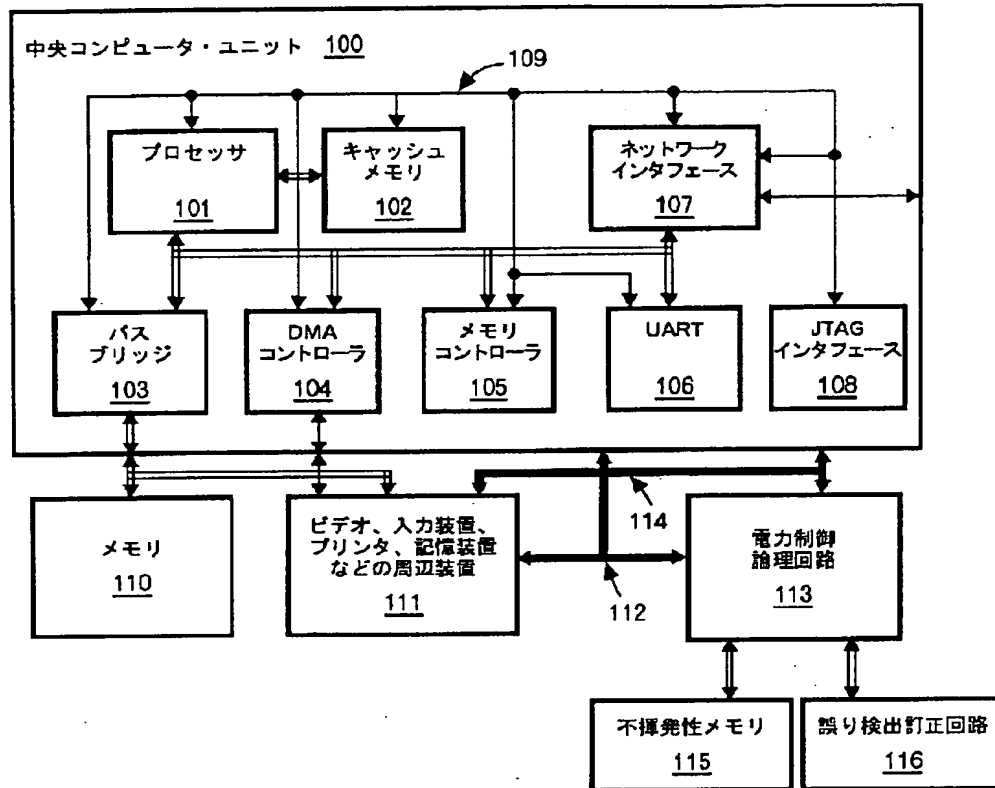
【図4】



【図5】



【図6】



フロントページの続き

(72)発明者 ビショップ・シー・ブロック
アメリカ合衆国78731 テキサス州オース
チン ウェスト・サーティシックス・スト
リート 1911

(72)発明者 ゲイリー・ディー・カーペンター
アメリカ合衆国78731 テキサス州プルジ
ャーヴィル ロッキー・クリーク・ドライ
ブ 1241

(72)発明者 ケビン・ジェイ・ナウカ
アメリカ合衆国78681 テキサス州ラウン
ド・ロック グレイリング・レーン 3952

Fターム(参考) 5B011 EA02 JA03 MB07
5B018 GA04 KA03 KA23 NA08 QA05

DELPHION

Log Out Work Files Saved Searches

RESEARCH

PRODUCTS

INSIDE DELPHION

My Account

Search: Quick/Number Boolean Advanced Derwent Help

No active trail

Select CR Simp Tracking

The Delphion Integrated View

☒ PDF | More choices...

Get Now:

View: INPADOC | Jump to: Top

Go to: Derwent

Tools: Add to Work File: ☐ Create new Work File

☒ Email this to a friend

Title: JP2002182803A2: METHOD AND DEVICE FOR SUSPENDING AND RESUMING COMPUTER SYSTEM OPERATION

Derwent Title: Resumption function for a computer system after an integrated circuit in the battery type computer system is disconnected completely NoAbstract [Derwent Record](#)

Country: JP Japan

Kind: A2 Document Laid open to Public inspection i

Inventor: BROCK BISHOP C;
CARPENTER GARY D;
NOWKA KEVIN J;

Assignee: INTERNATL BUSINESS MACH CORP <IBM>
[News](#), [Profiles](#), [Stocks](#) and [More about this company](#)

Published / Filed: 2002-06-28 / 2001-09-28

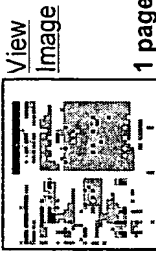
Application Number: JP2001000301550

IPC Code: G06F 1/30; G06F 12/16;

Priority Number: 2000-10-02 US2000000676943

Abstract: PROBLEM TO BE SOLVED: To provide a resumption function of a computer system after an integrated circuit in the battery type computer system is disconnected completely in a method and a device for keeping the state of a computer system component.

SOLUTION: The state is read by using a scanning latch in the computer system component. A scanning register can be accessed internally through internal scan chaining or externally by using a serial test port interface or a boundary scan interface. Next, the state is stored in a nonvolatile storage area, and the power is



[View](#)
[Image](#)

1 page

disconnected from the computer system component.

COPYRIGHT: (C)2002,JPO

INPADOC

None

Get Now: [Family Legal Status Report](#)

Legal Status:

Family:

[Show 3 known family members](#)

Other Abstract

None

Info:



[Nominate this for the Gallery..](#)



THOMSON

Copyright © 1997-2005 The Thomson Corporation

[Subscriptions](#) | [Web Seminars](#) | [Privacy](#) | [Terms & Conditions](#) | [Site Map](#) | [Contact Us](#) | [Help](#)